

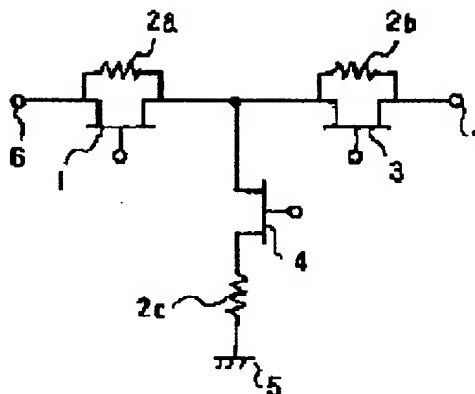
ATTENUATOR

Patent number: JP9046176
Publication date: 1997-02-14
Inventor: KASAHARA MICHIAKI
Applicant: MITSUBISHI ELECTRIC CORP
Classification:
- international: H03H11/24; H03H11/02; (IPC1-7): H03H11/24
- european:
Application number: JP19950191947 19950727
Priority number(s): JP19950191947 19950727

Report a data error here

Abstract of JP9046176

PROBLEM TO BE SOLVED: To facilitate miniaturization and the design by selecting the combination of on/off states of plural FETs to which resistors are loaded in parallel or in series so as to select the operation as a pass circuit or the operation for a T-shaped attenuator. **SOLUTION:** When a FET (field-effect transistor) 1 and a FET 3 are conductive and a FET 4 is nonconductive, a high frequency signal passes through the FET when the FET is conductive and the FET interrupts the high frequency signal when the FET is nonconductive. Since the FET 4 is regarded as an open end with respect to a major line tying input output terminals 6, 7 in the attenuator equivalent circuit, the entire attenuator acts like a passing circuit. When the FETs 1, 2 are nonconductive and the FET 4 is conductive, the attenuator acts like a T-shaped attenuation circuit by resistors 2a-2c in the attenuator equivalent circuit. Thus, the passing loss difference of both circuit is attenuated and even when desired attenuation is different, the matching design with circuits before and after the attenuator is easily executed.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-46176

(43)公開日 平成9年(1997)2月14日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 H 11/24		8731-5 J	H 0 3 H 11/24	B

審査請求 未請求 請求項の数3 O L (全 5 頁)

(21)出願番号	特願平7-191947
(22)出願日	平成7年(1995)7月27日

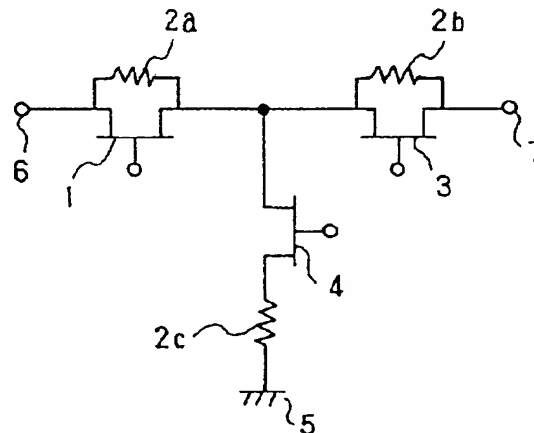
(71)出願人	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目2番3号
(72)発明者	笠原 通明 東京都千代田区丸の内二丁目2番3号 三 菱電機株式会社内
(74)代理人	弁理士 宮田 金雄 (外3名)

(54)【発明の名称】 減衰器

(57)【要約】

【目的】 小型で、周波数特性が小さく、設計の容易な減衰器を得る。

【構成】 ソース電極とドレイン電極との間に抵抗を並列に装荷したFETと、抵抗を直列に接続したFETとを接続し、これらFETのゲート電極に印加するバイアス電圧を制御してFETのオン状態とオフ状態とを切換えることにより、通過回路と抵抗により構成されるT型減衰回路とを切換えて減衰を行なう。



1 : 第1のFET
2 : 抵抗
3 : 第2のFET
4 : 第3のFET
5 : 接地
6 : 入力端子
7 : 出力端子

1

【特許請求の範囲】

【請求項1】 ドレイン電極とソース電極間に第1の抵抗を装荷した第1のFET（電界効果トランジスタ）と、ドレイン電極とソース電極間に第2の抵抗を装荷した第2のFETとを、入出力間を結ぶ主線路に対して、ドレイン電極及びソース電極を接続端子として直列に接続すると共に、第3のFETのドレイン電極あるいはソース電極に、第3の抵抗が直列に接続された直列回路を、前記第1のFETと第2のFETの接続点に、入出力間を結ぶ主線路に対して並列接続してT型回路を構成し、前記第1から第3のFETの各々のゲート電極にバイアス電圧を印加する手段を具備したことを特徴とする減衰器。

【請求項2】 前記第1のFETあるいは前記第2のFETのソース電極及びドレイン電極が、少なくとも一本以上の短冊形状パターンを並行に配置して形成した指交差状であって、この指交差状の電極を有するFETに装荷される前記第1の抵抗あるいは前記第2の抵抗が、ソース電極パターンまたはドレイン電極パターンのうち一極の少なくとも一本以上の電極パターンと、他極の少なくとも一本以上の電極パターンとを接続するパターン上に形成されることを特徴とする請求項1記載の減衰器。

【請求項3】 前記第1のFETあるいは前記第2のFETのソース電極及びドレイン電極が、少なくとも一本以上の短冊形状パターンを並行に配置して形成した指交差状であって、これら指交差状のソース電極パターンとドレイン電極パターンとの間隙の一部にゲート電極パターンを配置してFET部を形成すると共に、残るソース電極パターンとドレイン電極パターン間に抵抗を形成して前記第1の抵抗あるいは前記第2の抵抗としたことを特徴とする請求項1記載の減衰器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、マイクロ波帯やミリ波帯で動作するFET（電界効果トランジスタ）を切換え素子として用いた減衰器に関するものである。

【0002】

【従来の技術】FETを用いた減衰器は、マイクロ波帯やミリ波帯におけるレーダシステムや各種伝送回路において広く用いられている。従来から知られている減衰器としては、例えばスイッチドライン型と呼ばれる図5に示すような等価回路を有する減衰器がある。

【0003】図中1は第1のFET、3は第2のFET、4は第3のFET、18は第4のFET、19は基準伝送線路、20は抵抗であり、入力端子6に第1のFET1のドレイン電極22a及び第2のFET3のドレイン電極22bが接続され、出力端子7には第3のFET4のドレイン電極22c及び第4のFET18のドレイン電極22dが接続されている。また、第2のFET3のソース電極21bと第4のFET18のソース電極

2

21dとの間には、基準伝送線路19が接続され、第1のFET1のソース電極21aと第3のFET4のソース電極21cとの間には、抵抗20が接続されている。また、23は各FETのゲート電極である。

【0004】次に従来の減衰器の動作を図5を用いて説明する。一般に、FETのゲートに0[V]のバイアス電圧を印加するとFETはオン状態となり、ドレイン電極とソース電極間インピーダンスは抵抗性の低インピーダンスとなる。逆に、FETのゲートにピンチオフ電圧相当のバイアス電圧を印加するとFETはオフ状態となり、ドレインとソース間インピーダンスは容量性の高インピーダンスとなる。この特性を利用してFETを高周波信号に対してスイッチとして利用することができる。ここで、オン状態時の抵抗値及びオフ状態時の容量値はFETの総ゲート電極長に依存しており、使用周波数に応じて予め所望の値とすることが可能である。

【0005】まず、第1のFET1及び第3のFET4のゲート電極23a、23cにピンチオフ電圧を印加し、第2のFET3及び第4のFET18のゲート電極23b、23dに0[V]を印加すると、第1のFET1のドレイン電極22aとソース電極21a間及び第3のFET4のドレイン電極22cとソース電極21c間は容量性の高インピーダンス（オフ状態）となり、一方第2のFET3のドレイン電極22bとソース電極21b及び第4のFET18のドレイン電極22dとソース電極21d間は抵抗性の低インピーダンス（オン状態）となる。この状態で、入力端子6より入力する高周波信号は、オン状態となっている第2のFET3、基準伝送線路19及びオン状態となっている第4のFET18を通過して出力端子7より出力する。

【0006】次に、第1のFET1及び第3のFET4のゲート電極23a、23cに0[V]を印加し、第2のFET3及び第4のFET18のゲート電極23b、23dにピンチオフ電圧を印加すると、入力端子6より入力する高周波信号は、オン状態となっている第1のFET1、抵抗20及びオン状態となっている第3のFET4を通過して出力端子7より出力する。このときの入力端子6から出力端子7までの高周波信号の通過減衰量は、上記の基準伝送線路19を通過した場合の通過減衰量に対し、基準伝送線路19と抵抗20との通過損失差分だけ減衰されたことになる。

【0007】このように、第1から第4のFETのオン状態とオフ状態を、ゲート電極23に印加する電圧によって制御することにより、高周波信号の通過経路を切り換え減衰器として動作させることができる。

【0008】

【発明が解決しようとする課題】従来の減衰器は以上のように構成されており、基準伝送線路と抵抗とを切換える3端子スイッチが2つ必要なため減衰器が大型化し、また、所望の減衰量は抵抗値により決まり、減衰量が異

3

なれば抵抗値も異なるため、抵抗とスイッチを構成する FET とのインピーダンス整合設計を、減衰量が異なる毎に行なう必要があり、設計が複雑になるという課題があった。更に、基準伝送線路や抵抗の前後に形成される接続用線路により通過移相等の周波数特性が大きくなるという課題もあった。

【0009】この発明は上記のような課題を解決するためになされたもので、小型で設計の容易な減衰器を得ることを目的とする。

【0010】

【課題を解決するための手段】この発明の実施例 1 による減衰器においては、抵抗を並列に装荷した第 1 の FET と抵抗を並列に装荷した第 2 の FET とを直列に接続した回路を入出力端を結ぶ主線路に対し直列に配置し、抵抗と第 3 の FET とによる直列回路を入出力端を結ぶ主線路に対し並列に配置して T 型回路を構成し、これら FET のゲート電極に所定のバイアス電圧を印加するようにした。

【0011】また、この発明の実施例 2 による減衰器においては、FET に並列に装荷される抵抗の入出力端を形成する線路パターンを、FET の指交差状に形成されているソース電極パターンとドレイン電極パターンとに接続した。

【0012】また、この発明の実施例 3 による減衰器においては、FET を形成する指交差状のソース電極パターンとドレイン電極パターンとの間隙の一部にゲート電極パターンを形成し、残るソース電極パターンとドレイン電極パターン間に抵抗を形成するようにした。

【0013】

【作用】この発明の実施例 1 によれば、抵抗が並列もしくは直列に装荷された FET のゲート電極に所定のバイアス電圧を印加して FET のオン状態とオフ状態との組合せを選択することにより、通過回路と、抵抗で構成される T 型減衰回路とを切替える。

【0014】また、この発明の実施例 2 によれば、FET に並列に装荷される抵抗の入出力端を形成する線路パターンを指交差状に形成されるソース電極パターンとドレイン電極パターンとに接続することで、抵抗の入出力端を形成する線路パターンをソース及びドレインの両電極パターン間に短く配置できるようにした。

$$L = -20 \cdot \log \left\{ \frac{100 \cdot R_2}{100 \cdot (R_1 + R_2) + R_1 \cdot (R_1 + 2 \cdot R_2) + 50^2} \right\} \text{ [dB]} \quad *40$$

【0020】また、一般的な整合条件である入出力インピーダンス 50 Ω とした場合の R1 と R2 の関係は数 2 により与えられることも知られている。

【0021】

【数 2】

$$R_2 = \frac{50^2 - R_1^2}{2 \cdot R_1}$$

*【0015】また、この発明の実施例 3 によれば、FET のソース電極パターンとドレイン電極パターンとの間隙の一部に、抵抗を設けたことにより、抵抗の入出力端を形成する線路パターンをソース及びドレインの両電極パターン間に更に短くして配置できる。

【0016】

【実施例】

実施例 1. 以下にこの発明の実施例 1 を図について説明する。図 1 はこの発明の実施例 1 を示す回路図である。

図において、1 は第 1 の抵抗 2 a が並列に装荷された第 1 の FET、3 は第 2 の抵抗 2 b が並列に装荷された第 2 の FET、4 は第 3 の抵抗 2 c が直列に装荷された第 3 の FET、5 は接地である。

【0017】つぎに、図 1 を用い動作について説明する。従来の実施例で説明したように、FET のゲート電極に印加する電圧を制御することで FET をオン状態とオフ状態に切替えることができる。まず、第 1 の FET 1、第 2 の FET 3 をオン状態にし、第 3 の FET 4 をオフ状態とすると、FET がオン状態では FET が十分に低インピーダンスとなり高周波信号は FET 側を通過し、一方オフ状態では FET が高インピーダンスとなるために、FET は高周波信号に対して遮断の作用をする。よってこのときの減衰器の等価回路は、第 3 の FET 4 が入力端子 6 と出力端子 7 とを結ぶ主線路に対して開放端と見なせるため、オン状態での FET の抵抗値が十分に小さいとして省略すれば図 2 (a) の等価回路と見なすことができ減衰器全体としては通過回路として作用する。

【0018】つぎに、第 1 の FET 1、第 2 の FET 3 をオフ状態にし、第 3 の FET 4 をオン状態とする。このときの減衰器の等価回路は、オン状態での FET の抵抗値が十分に小さいとして省略すれば図 2 (b) のように第 1 の抵抗 2 a、第 2 の抵抗 2 b 及び第 3 の抵抗 2 c により T 型減衰回路として作用する。この場合の減衰量 L は、第 1 の抵抗 2 a、第 2 の抵抗 2 b の抵抗値を共に R1、第 3 の抵抗 2 c の抵抗値を R2 とすれば数 1 で与えられる。

【0019】

【数 1】

【0022】このように、FET のオン状態とオフ状態とを制御し、通過回路と T 型減衰回路とを切替えることにより、両回路の通過損失差分の減衰を行なうことができる。また、本実施例の場合、所望の減衰量が異なる場

5

合でも R1、R2 の値を数 1 及び数 2 を満たす値とすれば、減衰器と接続される前後の回路との整合設計が容易に行なえる。

【0023】実施例 2、図 3 はこの発明の実施例 2 を示す構造図であり、実施例 1 で説明した図 1 中第 1 の抵抗 2 a が装荷された第 1 の FET 1 を示す構造図である。図において第 1 の FET 1 の電極構造は、短冊形状のドレイン電極パターン 8 と、同じく短冊形状をしたソース電極パターン 9 とを複数本指交差状に配置し、ドレイン電極パターン 8 とソース電極パターン 9 との間にゲート電極パターン 10 を配置した構造となっている。また、ゲート電極パターン 10 は相互に接続されかつ外部に引き出されており、ソース電極パターン 9 はゲート電極パターン 10 との競合・干渉を避けるため、エアブリッジ 11 a を介して他の FET との接続パターン 15 b に接続されている。また、16 は図 1 における第 1 の抵抗 2 a に相当する抵抗体であり、この抵抗体 16 は端子用線路パターン 14 により第 1 の FET 1 に接続されている。

【0024】端子用線路パターン 14 a は、ドレイン電極パターン 8 a の先端部に接続され、端子用線路パターン 14 b は、ソース電極パターン 9 a の先端部にエアブリッジ 12 により接続されている。更に、くし形状に配置されている複数のドレイン電極パターン 8 どうしをエアブリッジ 13 にて橋絡接続しており、同様にソース電極パターン 9 どうしをエアブリッジ 12 にて橋絡接続した構造となっている。

【0025】以上のような構造とすれば、例えば端子用線路パターン 14 を、隣接する FET との接続パターン 15 a 及び 15 b から引出す場合に比べ、端子用線路パターン 14 の線路長を極力短くできるため配置上小型化が可能となり、更に、周波数特性を劣化させる要因である端子用線路パターン 14 に伴う寄生インダクタ成分が低減でき、また、隣接する FET に装荷される回路との電氣的干渉も低減できる。

【0026】ここでは、図 1 中の第 1 の抵抗 2 a を例にとって説明したが、第 2 の抵抗 2 b についても同様の構造で、同様の動作が可能である。また、図 3 では、ドレイン電極パターン 8 どうしをエアブリッジ 13 にて接続し、ソース電極パターン 9 どうしをエアブリッジ 12 にて接続しているが、エアブリッジ 12、13 による寄生インダクタ成分を低減したい場合等は、端子用線路パターン 14 を、ドレイン電極パターン 8 の少なくとも 1 本以上と、ソース電極パターン 9 の少なくとも 1 本以上とに接続しても同様な動作が可能である。

【0027】実施例 3、図 4 はこの発明の実施例 3 を示す回路図であり、実施例 1 で説明した図 1 中第 1 の抵抗 2 a が装荷された第 1 の FET 1 を示す構造図である。図 4 において、17 a はドレイン電極パターン 8 a とソース電極パターン 9 a との間にゲート電極パターン 10

6

a を形成した第 1 の FET セルであり、17 b はドレイン電極パターン 8 c とソース電極パターン 9 b との間にゲート電極パターン 10 b を形成した第 2 の FET セルである。また、16 は第 1 の FET セル 17 a と第 2 の FET セル 17 b に挟まれる形で形成されている抵抗体である。この抵抗体 16 は、端子用線路パターン 14 とエアブリッジ 11 b とにより接続パターン 15 と接続されている。このように、FET の内部に抵抗体 16 を配置する構造としているため、端子用接続パターン 14 を更に短くすることができ、減衰器として更に小型も可能となる。

【0028】以上、実施例 1 から実施例 3 までの減衰器で使用している FET の動作においては、FET を構成するドレイン電極とソース電極とは電氣的に等価な働きを行なうことから、説明におけるソース電極とドレイン電極とを逆にしても、同様な効果が得られる。

【0029】更に、実施例 1 では 1 段構成の T 型減衰回路を用いた減衰器の例を示したが、段数を増した構成としても同様に減衰回路として動作し同様な効果が得られる。

【0030】

【発明の効果】この発明は以上のように構成されているので、以下に記載するような効果がある。

【0031】この発明の実施例 1 によれば、減衰器の構成を通過回路と T 型減衰回路とを FET を用いて切換える構成としたので、減衰量が異なる減衰器を設計する場合でも T 型減衰回路の抵抗値を所望の値とすることで、他の回路との整合設計が容易にできる。

【0032】また、この発明の実施例 2 によれば、FET に並列に装荷される抵抗の入出力端を形成する線路パターンを短く配置できるようにしたので、回路を小型化でき、且つ線路パターンによる寄生インダクタ量が低減したことで、周波数特性の少ない減衰器の設計が可能となる。

【0033】また、この発明の実施例 3 によれば、FET の内部に抵抗を形成することで、FET に並列に装荷される抵抗の入出力端を形成する線路パターンを更に短く配置できるようにしたので、回路を小型化でき、且つ線路パターンによる寄生インダクタ量が低減したことで、周波数特性の少ない減衰器の設計が可能となる。

【図面の簡単な説明】

【図 1】 この発明の実施例 1 を示す回路図である。

【図 2】 この発明の実施例 1 の動作を説明する回路図である。

【図 3】 この発明の実施例 2 を示す構造図である。

【図 4】 この発明の実施例 3 を示す構造図である。

【図 5】 従来の減衰器を示す回路図である。

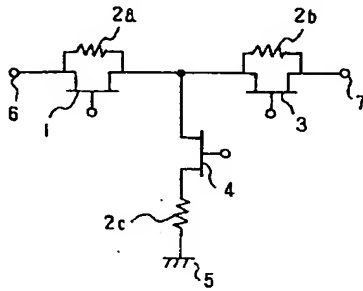
【符号の説明】

1 第 1 の FET、2 抵抗、3 第 2 の FET、4 第 3 の FET、5 接地、6 入力端子、7 出力端

子、8 ドレイン電極パターン、9 ソース電極パターン、10 ゲート電極パターン、11 エアブリッジ、12 エアブリッジ、13 エアブリッジ、14 端子用線路パターン、15 接続パターン、16 抵抗体、

17 FETセル、18 第4のFET、19 基準伝送線路、20 抵抗、21 ソース電極、22 ドレイン電極、23 ゲート電極。

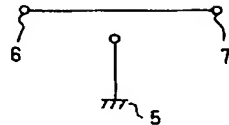
【図1】



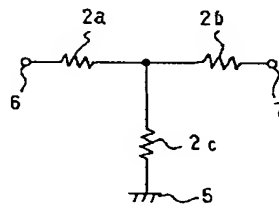
1: 第1のFET
2: 抵抗
3: 第2のFET
4: 第3のFET
5: 接地
6: 入力端子
7: 出力端子

【図2】

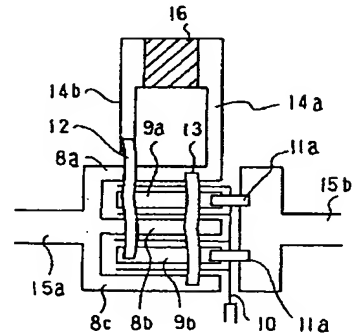
(a)



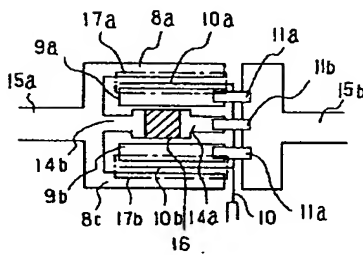
(b)



【図3】



【図4】



【図5】

